

(4) Japanese Patent Application Laid-Open No. H9-199687 (1997)

The following is English translation of an extract from the above-identified documents relevant to the present application.

As shown in Figs. 4 and 5, a platinum-ruthenium oxide film 25, a platinum-ruthenium film 23, a titanium nitride film 21 and a titanium film 19 are etched sequentially with a photosensitive pattern 27 as a mask. Thereby, a platinum-ruthenium oxide film pattern 25a, a platinum-ruthenium film pattern 23a, a titanium nitride film pattern 21a and a titanium film pattern 19a are formed.

Thereafter, as shown in Fig. 6, a dielectric films 29 of BST and PZT is formed.

Subsequently, as shown in Fig. 7, a plate electrode 31 is formed.

(11)特許出願公開番号

特開平9-199687

(43)公開日 平成9年(1997)7月31日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242				4 5 1
27/04			27/04	C
21/822			29/78	3 7 1
27/10	4 5 1			
		審査請求 有	請求項の数22	〇 L (全 6 頁)
				最終頁に続く

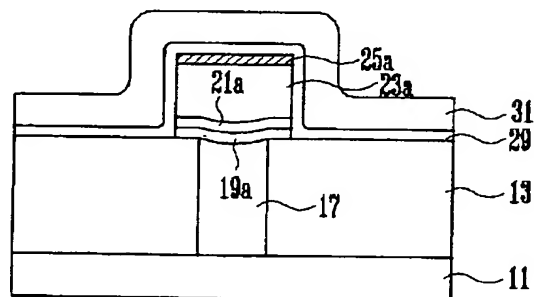
(21) 出願番号	特願平8-321927	(71) 出願人	591024111 現代電子産業株式会社 大韓民国京畿道利川市夫鉢邑牙美里山136-1
(22) 出願日	平成8年(1996)12月2日	(72) 発明者	崔 ▲キョン▼根 大韓民国京畿道利川市夫鉢邑牙美里山136-1 現代電子産業株式会社内
(31) 優先権主張番号	95-45483	(74) 代理人	弁理士 長谷川 芳樹 (外3名)
(32) 優先日	1995年11月30日		
(33) 優先権主張国	韓国 (KR)		

(54)【発明の名称】 半導体素子のキャパシタおよびその製造方法

(57)【要約】 (修正有)

【課題】 半導体素子の高集積化に適する高い静電容量を有する半導体素子のキャパシタ製造方法及びその構造を提供する。

【解決手段】 半導体基板 1 上に白金-ルテニウム膜 2 3 a を形成し、白金-ルテニウム膜を熱処理して白金-ルテニウム膜の上部表面に白金-ルテニウム酸化膜 2 5 a を形成し、白金-ルテニウム酸化膜上に誘電体膜 2 9 と導電膜 3 1 を順次形成する。



## 【特許請求の範囲】

【請求項1】 半導体基板を提供する工程；前記半導体基板上に白金-ルテニウム膜を形成する工程；前記白金-ルテニウム膜を熱処理して前記白金-ルテニウム膜の上部表面に白金-ルテニウム酸化膜を形成する工程；前記白金-ルテニウム酸化膜上に誘電体膜と導電層を順次形成する工程を含んで構成される半導体素子のキャパシタ製造方法。

【請求項2】 前記半導体基板と前記白金-ルテニウム膜の間に、チタニウム膜とチタニウム窒化膜を形成する工程をさらに含むことを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項3】 前記白金-ルテニウム膜は、白金とルテニウムをターゲットにしたスパッタリング工程で形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項4】 前記白金-ルテニウム膜は、DCスパッタリングで常温～700℃の温度と約1mTorr～100Torrの蒸着圧力及び、50W～5000Wの電力下で1～10分の間行って形成することを特徴とする請求項3記載の半導体素子のキャパシタ製造方法。

【請求項5】 前記白金-ルテニウム膜は、RFスパッタリングで常温～700℃の温度と約1mTorr～100Torrの蒸着圧力及び、50W～5000Wの電力下で1～10分の間行って形成することを特徴とする請求項3記載の半導体素子のキャパシタ製造方法。

【請求項6】 前記熱処理工程は、500～850℃の温度下で約30分～2時間の間行うことを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項7】 半導体基板を提供する工程；前記半導体基板上に前記半導体基板の一部分を露出させるコンタクトホールを有する下部絶縁層を形成する工程；前記下部絶縁層のコンタクトホール内にコンタクトプラグを形成する工程；前記コンタクトプラグと前記下部絶縁層の露出した表面上に、チタニウム膜と前記チタニウム膜上にチタニウム窒化膜を順次形成する工程；前記チタニウム窒化膜上部に白金-ルテニウム膜を形成する工程；前記白金-ルテニウム膜を熱処理し、前記白金-ルテニウム膜の表面に白金-ルテニウム酸化膜を形成する工程；前記白金-ルテニウム酸化膜と前記白金-ルテニウム膜及びチタニウム窒化膜、そしてチタニウム膜を選択的に除去する工程；前記全体構造の露出した表面上部に誘電体膜と、前記誘電体膜上にプレート電極を形成する工程を含んで構成されることを特徴とする半導体素子のキャパシタ製造方法。

【請求項8】 前記下部絶縁層は、流動性が優れた絶縁物質で形成することを特徴とする請求項7記載の半導体素子のキャパシタ製造方法。

【請求項9】 前記コンタクトプラグは、多結晶シリコンで形成することを特徴とする請求項7記載の半導体素

子のキャパシタ製造方法。

【請求項10】 前記チタニウム膜は、100～300オングストローム厚さで形成することを特徴とする請求項7記載の半導体素子のキャパシタ製造方法。

【請求項11】 前記チタニウム窒化膜は、200～400オングストローム厚さで形成することを特徴とする請求項7記載の半導体素子のキャパシタ製造方法。

【請求項12】 前記白金-ルテニウム膜は、白金とルテニウムをターゲットにしたスパッタリング工程で形成することを特徴とする請求項7記載の半導体素子のキャパシタ製造方法。

【請求項13】 前記白金-ルテニウム膜は、DCスパッタリングで常温～700℃の温度と約1mTorr～100Torrの蒸着圧力及び、50W～5000Wの電力下で1～10分の間行い形成することを特徴とする請求項12記載の半導体素子のキャパシタ製造方法。

【請求項14】 前記白金-ルテニウム膜は、RFスパッタリングで常温～700℃の温度と約1mTorr～100Torrの蒸着圧力及び、50W～5000Wの電力下で1～10分の間行い形成することを特徴とする請求項12記載の半導体素子のキャパシタ製造方法。

【請求項15】 前記熱処理工程は、500～850℃の温度下で約30分～2時間の間行うことを特徴とする請求項7記載の半導体素子のキャパシタ製造方法。

【請求項16】 前記誘電体膜は、300～600オングストローム厚さで形成することを特徴とする請求項7記載の半導体素子のキャパシタ製造方法。

【請求項17】 半導体基板上に形成される下部電極と誘電体膜及び、上部電極を含んで構成される半導体素子のキャパシタにおいて、

前記下部電極は白金-ルテニウム膜、白金-ルテニウム酸化膜を含んで構成されることを特徴とする半導体素子のキャパシタ。

【請求項18】 前記下部電極は、チタニウム膜とチタニウム窒化膜をさらに含むことを特徴とする請求項17記載の半導体素子のキャパシタ。

【請求項19】 前記下部電極は、コンタクトプラグを介し前記半導体基板と電気的に接触されることを特徴とする請求項17記載の半導体素子のキャパシタ。

【請求項20】 前記白金-ルテニウム膜は、DCスパッタリングで常温～700℃の温度と約1mTorr～100Torrの蒸着圧力及び、50W～5000Wの電力下で1～10分の間行うことにより形成されることを特徴とする請求項17記載の半導体素子のキャパシタ。

【請求項21】 前記白金-ルテニウム膜は、RFスパッタリングで常温～700℃の温度と約1mTorr～100Torrの蒸着圧力及び、50W～5000Wの電力下で1～10分の間行うことにより形成されることを特徴とする請求項17記載の半導体素子のキャパシタ。

10

20

30

40

50

タ。

【請求項22】 前記白金-ルテニウム酸化膜は、前記白金-ルテニウム膜を500～850℃の温度下で約30分～2時間の間の熱処理により形成されることを特徴とする請求項17記載の半導体素子のキャパシタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子のキャパシタに関し、特に高集積化に適した半導体素子のキャパシタ製造方法及びその構造に関する。

【0002】

【従来の技術】一般に半導体装置の製作において、半導体素子が高集積化されながらセルの大きさが低減するに従い貯蔵電極の表面積に比例する静電容量を十分に確保することが困難となっている。

【0003】特に、単位セルが一つのモストランジスタとキャパシタで構成されるディラム素子の場合に、チップで広い面積を占めるキャパシタの静電容量を大きくしながら面積を低減することはディラム素子の高集積化に重要な要因になる。

【0004】そこで、 $(E_o \times E_r \times A) / T$  (但し、 $E_o$ は真空誘電率、 $E_r$ は誘電膜の誘電率、 $A$ はキャパシタの面積、さらに $T$ は誘電膜の厚さ)で表示されるキャパシタの静電容量 $C$ を増加させるための技術等が提案された。

【0005】このような従来技術では、誘電常数 $E_r$ が高いBST ( $(Ba, Sr)TiO_3$ ) 膜又はPZT ( $Pb(Zr_{1-x}Ti_x)O_3$ ) (但し、 $X, Y = 1 - X$ は組成比) 膜で $T$ を薄くし、高誘電率を有する誘電体膜を形成する技術が提案されることにより半導体素子の高集積化が可能となった。

【0006】しかし、従来技術ではキャパシタを形成する下部電極表面に発生するヒルロック (hill lock) 及びピンホール (pin hole) により素子の電気的特性が不安定になり、再現性が落ちる欠点がある。

【0007】さらに、前記のような欠点を解決するための他の技術としては、下部電極及び上部電極をルテニウム酸化膜 ( $RuO_2$ ) 又は白金 (Pt) で形成してキャパシタを構成し、これを熱工程で安定化させて用いる技術が提案された。

【0008】しかし、ルテニウム酸化膜を用いる場合は、熱工程に起因して誘電体膜と上部電極の間の応力が発生する。

【0009】さらに、上部電極、又は下部電極から誘電体膜への酸素拡散及びシリコン拡散により誘電体膜の特性が低下する。

【0010】そして、ルテニウム酸化膜の形成速度が遅くなる欠点がある。

【0011】一方、下部及び上部電極に白金を用いる場

合は、熱工程の際200～300℃の低い温度でシリコンとシリサイドが白金の表面に発生し漏洩電流を多量発生させる。

【0012】従って、電極の特性が低下し絶縁膜との接着特性が悪化する。なお、白金は応力によりヒルロックが発生し易く、時間が経過するほど薄膜の特性が低下する欠点がある。

【0013】一方、前記のような欠点を解決するための技術としては、ルテニウム酸化膜と白金のそれぞれの長所を組合せて電極を形成する技術が提案された (参考文献: H. N. Al-Shareef, Integrated Ferroelectrics, 1995, Vol. 8, PP. 151-163)。

【0014】

【発明が解決しようとする課題】しかし、この従来技術による半導体素子のキャパシタ製造方法は、工程が複雑で工程単価が増加し、半導体素子の信頼性及び生産性を低下させる。

【0015】従って、従来技術による半導体素子のキャパシタ製造方法は、半導体素子の高集積化には適しない。

【0016】ここに、本発明は従来技術の諸般の問題点を解決するために為したものであり、半導体素子の高集積化に適した高い静電容量を有する半導体素子のキャパシタ製造方法及び、その構造を提供することにその目的がある。

【0017】

【課題を解決するための手段】前記目的を達成するために、本発明による半導体素子のキャパシタ製造方法は、半導体基板を提供する工程と、半導体基板上に白金-ルテニウム膜を形成する工程と、白金-ルテニウム膜を熱処理して白金-ルテニウム膜の上部表面に白金-ルテニウム酸化膜を形成する工程と、白金-ルテニウム酸化膜上に誘電体膜と導電膜を順次形成する工程を含んで構成されることを特徴とする。

【0018】さらに、本発明による半導体素子のキャパシタ製造方法は、半導体基板を提供する工程と、半導体基板上に半導体基板の一部分を露出させるコンタクトホールを有する下部絶縁層を形成する工程と、下部絶縁層のコンタクトホール内にコンタクトプラグを形成する工程と、コンタクトプラグと下部絶縁層の露出した表面上にチタニウム膜とチタニウム膜上にチタニウム窒化膜を順次形成する工程と、チタニウム窒化膜上部に白金-ルテニウム膜を形成する工程と、白金-ルテニウム膜を熱処理して白金-ルテニウム膜の表面に白金-ルテニウム酸化膜を形成する工程と、白金-ルテニウム酸化膜と白金-ルテニウム膜及びチタニウム酸化膜、さらにチタニウム膜を選択的に除去する工程と、全体構造の上部に誘電体膜と誘電体膜上にプレート電極を形成する工程を含んで構成されることを特徴とする。

10

20

30

40

50

【0019】そして、本発明による半導体素子のキャパシタは、半導体基板上に形成される下部電極と、誘電体膜及び上部電極を含んで構成される半導体素子のキャパシタにおいて、下部電極はチタニウム膜、チタニウム窒化膜、白金-ルテニウム膜、白金-ルテニウム酸化膜を含んで構成されることを特徴とする。

【0020】

【発明の実施の形態】以下、本発明の一実施形態を添付図面を参照して詳細に説明する。

【0021】図1～図7は、本発明の一実施形態による半導体素子のキャパシタ製造工程を示す断面図である。

【0022】先ず、図1に示すように、半導体基板11上部に下部絶縁層13を形成する。

【0023】この際、下部絶縁層13は、素子分離絶縁膜（図示せず）、ゲート酸化膜（図示せず）、さらにゲート電極（図示せず）を形成し、これら全体構造上部を平坦化させるため形成する。

【0024】なお、ゲート電極形成後にビットライン（図示せず）を形成することもできる。

【0025】さらに、下部絶縁層13はB. P. S. G (BPSG; Boro Phospho Silicate Glass、以下BPSGという) のような流動性が優れた絶縁物質で形成する。

【0026】その次に、コンタクトホールマスク（図示せず）を利用したエッチング工程で下部絶縁層13を部分エッチングして半導体基板11の予定された部分、即ち不純物接合領域（図示せず）を露出させるコンタクトホール15を形成する。

【0027】次いで、コンタクトホール15を含んだ下部絶縁層13の露出した表面上に多結晶シリコンを堆積し、多結晶シリコンをエッチバックしてコンタクトホール15内にコンタクトプラグ用多結晶シリコン膜17を形成する。

【0028】その次に、図2に示すように、全体構造の表面上部にチタニウム膜19とチタニウム膜19上にチタニウム窒化膜21を順次それぞれ一定厚さに形成する。

【0029】この際、チタニウム膜(Ti)19は約100～300オングストローム厚さに形成する。

【0030】さらに、チタニウム窒化膜(TiN)21は約200～400オングストローム厚さに形成する。

【0031】次いで、スパッタリング方法を用いてチタニウム窒化膜21上にルテニウム-白金膜(Pt-Ru)23を一定厚さほど蒸着する。

【0032】この際、ルテニウム-白金膜23は約2000～5000オングストローム厚さに形成する。ルテニウム-白金膜23はルテニウム(Ru)と白金(Pt)をターゲットにして同時にスパッタリングを行い形成する。そして、ルテニウム-白金膜23の蒸着工程は、DCやRFマグネチックソースを利用したスパッタ

(sputter)により行う。

【0033】このとき、蒸着条件として、基板温度を常温～700℃にし、蒸着圧力を1mTorr～100Torrにし、電力を50～5000ワット(watt)にして、約1～10分の間の蒸着を行う。

【0034】さらに、スパッタ工程の際、気体は窒素、アルゴン又は酸素ガス等を用いる。

【0035】その次に、図3に示すように、酸化ガス雰囲気下で約30分～2時間の間熱工程を行い、ルテニウム-白金膜23の表面に白金-ルテニウム酸化膜25を形成する。

【0036】このときの、白金-ルテニウム酸化膜25は $Ru_xO_yPt_z$ （但し、X、Y、Zは組成比であり、 $X+Y+Z=1$ である）である。

【0037】なお、熱工程は約500～850℃温度下で行う。

【0038】次いで、図4に示すように、全体構造の上部に感光膜パターン27を形成する。

【0039】この際、感光膜パターン27は先ず全体構造の上部に感光膜（未図示）を形成し、感光膜を貯蔵電極マスク（図示せず）を利用したエッチング工程により形成する。

【0040】その次に、図5に示すように、感光膜パターン27をマスクに白金-ルテニウム酸化膜25、白金-ルテニウム膜23、チタニウム窒化膜21及びチタニウム膜19を順次エッチングして白金-ルテニウム酸化膜パターン25a、白金-ルテニウム膜パターン23a、チタニウム窒化膜パターン21a及びチタニウム膜パターン19aを形成する。

【0041】次いで、図6に示すように、全体構造の表面上部に高誘電率を有する誘電体膜29を一定厚さほど形成する。

【0042】この際、誘電体膜29はBST又はPZT等のような高誘電物質である絶縁膜を用いる。そして、誘電体膜29は約300～600オングストローム厚さに形成する。

【0043】その次に、図7に示すように、誘電体膜29の表面上部に導電層を積層してプレート電極31を形成することにより半導体素子の高集積化に十分な静電容量を有するキャパシタを形成する。

【0044】

【発明の効果】以上説明したように、本発明による半導体素子のキャパシタおよびその製造方法においては次のような効果がある。

【0045】本発明の半導体素子のキャパシタ製造方法によれば、白金とルテニウム酸化膜が組合せられた複雑な構造ではない白金とルテニウムをターゲットにして蒸着工程を行うことにより工程を単純化させることができる。

【0046】さらに、本発明の半導体素子のキャパシタ

製造方法によれば、白金とルテニウムの組成比調節が容易であり高誘電体膜と組合せて用いる時に高誘電体膜の特性に従い組成比を容易に調節することができる。

【0047】そして、本発明の半導体素子のキャパシタ形成方法によれば、ルテニウム-白金ターゲットを用いることにより酸素雰囲気の下でも白金-ルテニウム酸化膜を利用した下部電極、即ち貯蔵電極を形成することができる。

【0048】従って、本発明に伴う半導体素子のキャパシタは、半導体素子の電気的特性及び信頼性が高く、半導体素子の高集積化を可能にする利点がある。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体素子のキャパシタ形成方法を示す断面図。

【図2】本発明の一実施形態に係る半導体素子のキャパシタ形成方法を示す断面図。

【図3】本発明の一実施形態に係る半導体素子のキャパシタ形成方法を示す断面図。

【図4】本発明の一実施形態に係る半導体素子のキャパシタ形成方法を示す断面図。

【図5】本発明の一実施形態に係る半導体素子のキャパシタ形成方法を示す断面図。

\*シタ形成方法を示す断面図。

【図6】本発明の一実施形態に係る半導体素子のキャパシタ形成方法を示す断面図。

【図7】本発明の一実施形態に係る半導体素子のキャパシタ形成方法を示す断面図。

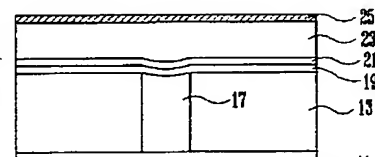
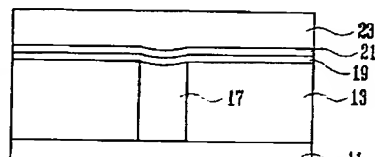
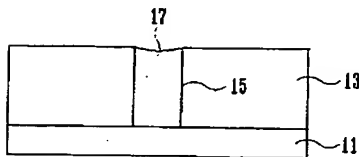
【符号の説明】

11…半導体基板	13…下部絶縁層
15…コンタクトホール	17…多結晶シリコン膜
19…チタニウム膜 (titanium)	19a…チタニウム膜パターン
21…チタニウム窒化膜	21a…チタニウム窒化膜パターン
23…白金-ルテニウム膜	23a…白金-ルテニウム膜パターン
25…白金-ルテニウム酸化膜	25a…白金-ルテニウム酸化膜パターン
27…感光膜パターン	29…誘電体膜
31…プレート電極	

【図1】

【図2】

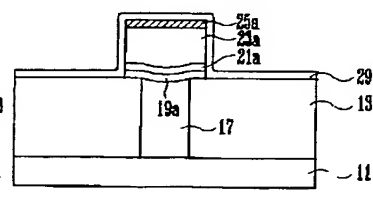
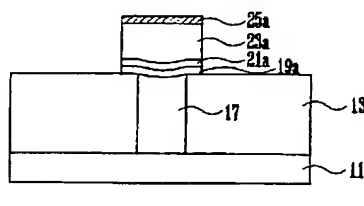
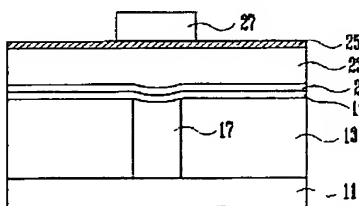
【図3】



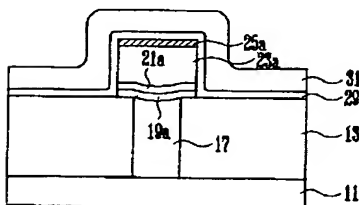
【図4】

【図5】

【図6】



【図7】



(6)

特開平9-199687

フロントページの続き

(51)Int.Cl.<sup>9</sup>  
H01L 21/8247  
29/788  
29/792

識別記号

庁内整理番号

F I

技術表示箇所